

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-031869

(43)Date of publication of application : 03.02.1998

(51)Int.Cl.

G11B 20/14

G11B 7/00

(21)Application number : 08-205251

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 16.07.1996

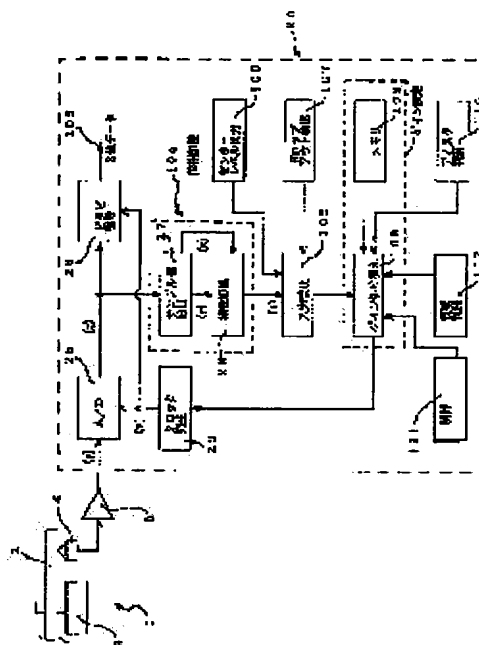
(72)Inventor : KOBAYASHI HIDEKI
TATEISHI KIYOSHI

(54) REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the delay and shock due to changeover and to generate a correct clock by generating a clock signal phase corrected based on a gain phase error as a sampling clock.

SOLUTION: A read signal from an optical disk 2 is A/D-converted 25 by the clock from a generating circuit 29, and a phase error signal is obtained from a sample value series of this signal by a phase error detector 104. Then, a gain setting means constituted of a gain switch circuit 108 and a memory 109 switch selects for the phase error signal from an input inhibition circuit 105 so as to become a proper gain. This phase error signal is supplied to the generation circuit 29, and the phase corrected clock is generated to be supplied to an A/D converter 25. The output of the A/D converter 25 is inputted to a viterbi decoder 26, and the viterbi-decoded binary data are sent to an output 103.



LEGAL STATUS

[Date of request for examination] 29.11.2001

[Date of sending the examiner's decision of rejection] 20.09.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-31869

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/14 7/00	3 5 1	9463-5D 9464-5D	G 1 1 B 20/14 7/00	3 5 1 A H

審査請求 未請求 請求項の数 5 F D (全 23 頁)

(21) 出願番号 特願平8-205251

(22) 出願日 平成 8 年 (1996) 7 月 16 日

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒 1 丁目 4 番 1 号

(72) 発明者 小林 秀樹

埼玉県所沢市花園 4 丁目 2610 番地 バイオ
ニア株式会社所沢工場内

(72) 発明者 立石 潔

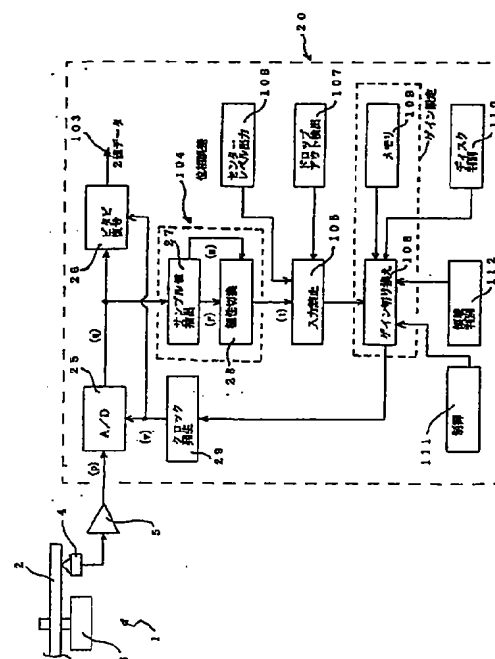
埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 バ
イオニア株式会社総合研究所内

(54) 【発明の名称】 再生装置

(57) 【要約】

【課題】 安定した再生装置を提供することを目的としている。

【解決手段】 デジタル信号が記録されている記録媒体から読み取られた読み取り信号からデジタル信号を再生する再生装置において、読み取り信号をサンプル値系列に変換する A/D 変換器と、サンプル値系列から位相誤差を検出する位相誤差検出手段と、所定ゲインを記憶する記憶手段と、位相誤差に所定ゲインを与えたゲイン位相誤差を出力するゲイン設定手段と、ゲイン位相誤差に基づいて位相補正を行ったクロック信号をサンプリングクロックとして発生するクロック発生手段とを有する。また、ドロップアウト時のサンプル値系列から得られる位相誤差のクロック発生手段への入力を禁止する入力禁止手段とを有する。また、ゲイン設定手段は記録媒体の種類、記録層、記録領域に応じて位相誤差に所定ゲインを与えることを特徴とする。



【特許請求の範囲】

【請求項1】 デジタル信号が記録されている記録媒体から読み取られた読み取り信号からデジタル信号を再生する再生装置において、

前記記録媒体から信号を読み取る読み取り手段と、

前記読み取り信号をサンプリングクロックにて順次サンプリングしてサンプル値系列に変換するA/D変換器と、

前記サンプル値系列から前記デジタル信号の復号を行い、再生デジタル信号として出力する復号手段と、

前記サンプル値系列から位相誤差を検出する位相誤差検出手段と、

所定ゲインを記憶する記憶手段と、

前記位相誤差に前記所定ゲインを与えたゲイン位相誤差を出力するゲイン設定手段と、

前記ゲイン位相誤差に基づいて位相補正を行ったクロック信号を前記サンプリングクロックとして発生するクロック発生手段とを有することを特徴とする再生装置。

【請求項2】 ドロップアウトを検出するドロップアウト検出手段と、

ドロップアウトを検出したならば、ドロップアウト時の前記サンプル値系列から得られる前記位相誤差の前記クロック発生手段への入力禁止する入力禁止手段とを有することを特徴とする請求項1に記載の再生装置。

【請求項3】 前記記録媒体の種類を検出する媒体種検出手段とを有し、

前記記憶手段は前記記録媒体の種類に応じて前記所定ゲインを有し、

前記ゲイン設定手段は前記記録媒体の種類に応じて、前記位相誤差に前記所定ゲインを与えることを特徴とする請求項1または請求項2に記載の再生装置。

【請求項4】 前記記録媒体には複数の記録層が存在するとともに、

前記記憶手段は前記記録媒体の記録層に応じて前記所定ゲインを有し、

前記ゲイン設定手段は前記記録媒体から信号を読み出す記録層に応じて、前記位相誤差に前記所定ゲインを与えることを特徴とする請求項1または請求項2に記載の再生装置。

【請求項5】 前記記録媒体には複数の領域が存在するとともに、

前記記憶手段は前記記録媒体の領域に応じて前記所定ゲインを有し、

前記ゲイン設定手段は前記記録媒体から信号を読み出す領域に応じて、前記位相誤差に前記所定ゲインを与えることを特徴とする請求項1または請求項2に記載の再生装置。

【発明の詳細な説明】

【0001】

【0001】

【0002】

【発明の属する技術分野】本発明は、光ディスク再生装置に関する。

【0003】

【0002】

【0004】

【従来の技術】図14にCD（コンパクトディスク）プレーヤ等で用いられていたクロック発生手段の構成図を示す。2は光ディスク、3は光ディスク2を回転駆動するスピンドルモータ、4は光ディスクに記録されている情報を読み取るためのピックアップである。ピックアップ4で再生された情報信号は、アンプ5で増幅され、2値スライス回路6に入力され、読み取り信号を2値スライス回路6において所定値と比較することにより、2値パルスに変換する。

【0005】

【0003】2値パルスをVCO（電圧制御発振器）10の発生する再生クロックと位相誤差検出器8で比較し、その位相誤差をPWM（パルス幅変調）信号で表現し、PWM信号をLPF（ローパスフィルタ）9で平滑化してVCO10の入力電圧を得ていた。VCO10は、この入力電圧に応じた再生クロックを再生し、2値スライス回路6の出力をサンプリング回路7でサンプリングして2値データ出力11を得ていた。

【0006】

【0004】

【0007】

【発明が解決しようとする課題】例えば、CD-R（CD-Recordable）プレーヤ等で、CDとCD-Rを再生する場合、信号の波形のエッジ部の立ち上がりの波形に差が出る。理由は、CDを記録を行うレーザの波長と、CD-Rの記録を行う波長が異なるため、ビット形状に差を生ずるからである。

【0008】位相誤差を示す位相誤差信号は信号波形のエッジ部付近の信号を検出して生成するため、信号波形のエッジ部の立ち上がりに差が出ると、同一位相誤差でも生成される位相誤差信号が異なる。

【0009】

【0005】また、信号波形のエッジ部の傾斜が緩やかな場合、ノイズが加わると位相誤差信号に悪影響を及ぼす。従って、一方のディスクに対して最適なループを組むと、他方のディスクに対しては最適なループとはならない。このため、ディスクの種類によって最適クロックへの引き込み速度に差が生じる。

【0010】

【0006】この問題点を解決するために、図16に示すような回路が考えられる。図16において、入力902に入力される位相誤差信号は、演算増幅器901のゲイン、キャパシタンスC1、抵抗R1、R3または抵抗R2、R4で構成される可変利得フィルタをS1及びS

2のスイッチで切り換えて、対応するゲインの処理を受けて出力903に出力される。

【0011】

【0007】図16で示すループゲイン切り換え回路のようにLPF部にゲイン切り換え手段S1及びS2を持たせ、ディスクに応じてループフィルタのゲインを切り換え、クロックへの引き込み速度を調整することが考えられるが、S1及びS2のようなアナログスイッチでは切り換え時のショックや遅延が生じるため、これによりVCOの入力電圧に変動が起きて再生クロックに悪影響を及ぼす。

【0012】

【0008】また、ディスクによっては、図15に示すように情報領域とサーボ領域に領域が分かれている場合がある。このような場合、サーボ領域ではAsで示すような固定パターンが記録されており、この区間は応答を速くしPLL(Phase Locked Loop)を速く引き込む必要がある。Adで示す情報領域では応答を遅くしてノイズ等によってクロックが不安定にならないようにする必要がある。

【0013】

【0009】これを連続制御系で構成すると、図16のようにLPFにてループゲインを切り換えて、サーボ領域ではLPFの帯域を広くしてクロックを速く引き込み、情報領域では帯域を狭くしてノイズやドロップアウト等があっても、影響を受け難くしている。

【0014】しかし、アナログスイッチ等でループゲインを切り換えても、切り換え時のショックや遅延が生じ、これがVCOの入力電圧の変動を生じ、再生クロックに悪影響を及ぼしたり、クイックアクセスが困難になる等の問題があった。

【0015】

【0010】また、LPFによるループゲイン切り換えでは図16に示すR1～R4等の素子各々の誤差が影響し、所望のループゲインが得られない場合が生じる。このように、LPF部でのループゲイン切り換えは容易ではあるが、誤差が生じやすい。位相誤差検出部はPWM信号出力なので、ループゲイン切り換えは容易ではない。また、ディスクの各層、ディスクの種類においても同様に連続制御系ではクイックアクセスが困難であった。

【0016】

【0011】さらに、ディスクの傷や、フィンガープリント等により、ドロップアウトが生じた場合に得られる再生読み取り信号は、正規にディスクに記録されたものと異なるものとなる。アナログ信号処理でドロップアウト時の位相誤差を除去しようとしても、アナログスイッチ等では、スイッチングノイズ等により正確に除去できない。そのため、得られるクロックも正確なものではない。

【0017】

【0012】そこで、本発明は、上述したような問題に鑑み、安定した再生装置を提供することを目的としている。

【0018】

【0013】

【0019】

【課題を解決するための手段】上記課題を解決するために、請求項1に記載の発明は、デジタル信号が記録されている記録媒体から読み取られた読み取り信号からデジタル信号を再生する再生装置において、記録媒体から信号を読み取る読み取り手段と、読み取り信号をサンプリングクロックにて順次サンプリングしてサンプル値系列に変換するA/D変換器と、サンプル値系列からデジタル信号の復号を行い、再生デジタル信号として出力する復号手段と、サンプル値系列から位相誤差を検出する位相誤差検出手段と、所定ゲインを記憶する記憶手段と、位相誤差に所定ゲインを与えたゲイン位相誤差を出力するゲイン設定手段と、ゲイン位相誤差に基づいて位相補正を行ったクロック信号をサンプリングクロックとして発生するクロック発生手段とを有する。

【0020】

【0014】請求項2に記載の発明は、請求項1記載の再生装置であって、ドロップアウトを検出するドロップアウト検出手段と、ドロップアウトを検出したならば、ドロップアウト時のサンプル値系列から得られる位相誤差のクロック発生手段への入力を禁止する入力禁止手段とを有する。

【0021】

【0015】請求項3に記載の発明は、請求項2記載の再生装置であって、記録媒体の種類を検出する媒体種検出手段とを有し、記憶手段は記録媒体の種類に応じて所定ゲインを有し、ゲイン設定手段は記録媒体の種類に応じて、位相誤差に所定ゲインを与えることを特徴とする。

【0022】

【0016】請求項4に記載の発明は、請求項1または請求項2に記載の再生装置であって、記録媒体には複数の記録層が存在するとともに、記憶手段は記録媒体の記録層に応じて所定ゲインを有し、ゲイン設定手段は記録媒体から信号を読み出す記録層に応じて、位相誤差信号に所定ゲインを与えることを特徴とする。

【0023】

【0017】請求項5に記載の発明は、請求項1または請求項2に記載の再生装置であって、記録媒体には複数の領域が存在するとともに、記憶手段は記録媒体の領域に応じて所定ゲインを有し、ゲイン設定手段は記録媒体から信号を読み出す領域に応じて、位相誤差信号に所定ゲインを与えることを特徴とする。

【0024】

【0018】

【0025】

【作用】請求項1に記載の発明は、デジタル信号を再生する再生装置において、読み取り信号をサンプル値系列に変換し、サンプル値系列から位相誤差を検出し、所定ゲインを記憶する記憶手段と、ゲイン位相誤差を出力するゲイン設定手段を設け、ゲイン位相誤差に基づいて位相補正を行ったクロック信号をサンプリングクロックとして発生するようにしたので、ゲイン切り換えによる遅延や切り換えのためのショックは無く、正確なクロックを生成することができる。

【0026】

【0019】請求項2に記載の発明は、ドロップアウトを検出したならば、ドロップアウト時のサンプル値系列から得られる位相誤差のクロック発生手段への入力を禁止する入力禁止手段とを有するようにしたので、容易に且つ正確にドロップアウト時の異常サンプル値系列を除外することができる。

【0027】

【0020】請求項3～請求項5に記載の発明は、記憶手段及びゲイン設定手段を記録媒体の種類、記録層、記録媒体から信号を読み出す領域のそれぞれに応じて、位相誤差に所定ゲインを与えるようにしたので、それぞれに応じて直ちに最適ゲインに設定することができる。

【0028】

【0021】

【0029】

【発明の実施の形態】図1は、本発明によるデジタル信号再生装置20の構成を示す図である。かかる図1において、情報読取装置1は、デジタル情報信号が高密度記録されている光ディスク2を回転駆動せしめるスピンドルモータ3と、かかる光ディスク2に記録されている記録情報を読み取って得られた読み取り信号(p)をデジタル信号再生装置20に供給するピックアップ4とからなる。

【0030】

【0022】かかる情報読取装置1から供給された読み取り信号(p)は、デジタル信号再生装置20のA/D変換器25に供給される。A/D変換器25は、この読み取り信号(p)を、クロック発生回路29から供給されるサンプリングクロック(v)のタイミングにてサンプリングして、この際得られたサンプル値(q)をビタビ復号器26、及びサンプル値抽出回路27の各々に供給する。

【0031】

【0023】ビタビ復号器26は、上記のサンプリングクロック(v)のタイミング毎にサンプル値(q)を順次取り込み、この取り込んだサンプル値(q)を系列として観測する。ここで、ビタビ復号器26は、かかる入力サンプル値系列に対して最も存在確率の高い復号デー

タ系列を再生デジタル信号として出力する。

【0032】サンプル値抽出回路27は、上記サンプリングクロック(v)のタイミング毎にA/D変換器25から供給されてくるサンプル値(q)が正の値から負の値、または負の値から正の値へと推移するゼロクロス区間中において、そのサンプル値(q)の値が最も0レベルに近いサンプル値を抽出し、これを抽出サンプル値(r)として極性切換回路28に供給する。

【0033】

10 【0024】更に、かかるサンプル値抽出回路27は、この抽出サンプル値(r)を、サンプル値(q)の推移変化の上昇傾向中に得たものであるのか、または、下降傾向中に得たものであるのかを示す傾斜信号(s)を生成してこれを極性切換回路28に供給する。

【0034】図2は、かかるサンプル値抽出回路27の内部構成の一例を示す図である。

【0035】

【0025】図2において、絶対値回路31は、供給されてくるサンプル値(q)の絶対値を求めてこれをサンプル絶対値としてDフリップフロップ32及び比較器33の各々に供給する。かかるDフリップフロップ32には、図示していないが、サンプリングクロック(v)がそのクロック端に供給されており、上記絶対値回路31から供給されてくるサンプル絶対値を1サンプリングクロック分だけ遅延させて比較器33に供給する。

【0036】

30 【0026】比較器33は、かかる絶対値回路31から供給されてくるサンプル絶対値と、1サンプリングクロック分だけ遅延されて供給されてくるサンプル絶対値との大小比較を行い、この大小比較結果を示す比較結果信号を選択回路34に供給する。例えば、比較器33は、絶対値回路31から供給されてくるサンプル絶対値が、1サンプリングクロック分だけ遅延されて供給されてくるサンプル絶対値よりも大であると判定した場合には論理値「0」の比較結果信号を選択回路34に供給する一方、絶対値回路31から供給されてくるサンプル絶対値が、1サンプリングクロック分だけ遅延されて供給されてくるサンプル絶対値よりも小であると判定した場合には論理値「1」の比較結果信号を選択回路34に供給する。Dフリップフロップ35は、図示していないが、サンプリングクロック(v)がそのクロック端に供給されており、上記A/D変換器25から供給されてくるサンプル値(q)を1サンプリングクロック分だけ遅延した遅延サンプル値を選択回路34に供給する。

【0037】

50 【0027】選択回路34は、上記比較器33から論理値「0」の比較結果信号が供給された場合には、上記Dフリップフロップ35により1サンプリングクロック分だけ遅延された遅延サンプル値をDフリップフロップ36に供給する一方、上記比較器33から論理値「1」の

比較結果信号が供給された場合には、上記A/D変換器25から供給されてくるサンプル値(q)をそのままDフリップフロップ36に供給する。

【0038】

【0028】すなわち、上記比較器33及び選択回路34は、上記A/D変換器25から順次供給されてくるサンプル値系列中から、互いに隣接(サンプリングタイミングにおいて)する2つのサンプル値(q)同士の大小比較を行い、その絶対値の小なる方を選択してDフリップフロップ36に供給するのである。

【0039】排他的論理和回路37は、サンプル値(q)のMSB(最上位ビット)の論理値と、上記Dフリップフロップ35にて1サンプリングクロック分だけ遅延された遅延サンプル値のMSBの論理値とが不一致である場合には、論理値「1」のイネーブル信号をDフリップフロップ36及び38の各々に供給する一方、両者が同一論理値である場合には、論理値「0」のイネーブル信号をDフリップフロップ36及び38の各々に供給する。この際、サンプル値(q)がオフセットバイナリにて2進数表現されているものとする、サンプル値(q)のMSBが論理値「0」である場合には、かかるサンプル値(q)は負の値であり、一方、かかるMSBが論理値「1」である場合には、このサンプル値(q)は正の値である。つまり、サンプル値(q)のMSBの論理値と、Dフリップフロップ35にて1サンプリングクロック分だけ遅延された遅延サンプル値のMSBの論理値とが不一致であるということは、サンプル値(q)が正の値から負の値、または負の値から正の値へと推移している状態、いわゆるゼロクロス状態にあることを示しているのである。すなわち、排他的論理和回路37は、かかるゼロクロス状態を検出した場合に、論理値「1」のイネーブル信号をDフリップフロップ36及び38の各々に供給するというゼロクロス検出手段として動作するのである。

【0040】

【0029】かかるDフリップフロップ36は、上記排他的論理和回路37から論理値「1」のイネーブル信号が供給された時にのみ、上記選択回路34から供給されたサンプル値を取り込んでこれを抽出サンプル値(r)として出力する。

【0041】一方、Dフリップフロップ38は、上記排他的論理和回路37から論理値「1」のイネーブル信号が供給された時にのみ、上記Dフリップフロップ35から供給された遅延サンプル値のMSBを取り込んでこれを傾斜信号(s)として出力する。この際、サンプル値(q)が正の値から負の値へと推移している場合、すなわち、サンプル値(q)の推移変化が下降傾向にある場合には、かかる傾斜信号(s)の信号論理値は「1」となる一方、サンプル値(q)が負の値から正の値へと推移している場合、すなわち、サンプル値(q)の推移変

化が上昇傾向にある場合には、かかる傾斜信号(s)の信号論理値は「0」となる。

【0042】

【0030】次に、図1における極性切換回路28は、かかる傾斜信号(s)の信号論理値が「0」である場合には、上記サンプル値抽出回路27から供給された抽出サンプル値(r)をそのまま位相誤差信号(t)としてクロック発生回路29に供給する一方、かかる傾斜信号(s)の信号論理値が「1」である場合には、上記サンプル値抽出回路27から供給された抽出サンプル値(r)の極性を反転した反転抽出サンプル値を位相誤差信号(t)としてクロック発生回路29に供給する。

【0043】

【0031】図3は、かかる極性切換回路28の内部構成の一例を示す図である。

【0044】図3において、極性反転回路41は、上記サンプル値抽出回路27から供給された抽出サンプル値(r)の極性を反転させて選択回路42に供給する。かかる極性反転回路41は、例えば、抽出サンプル値(r)の全ビットの論理を反転させたものに「1」を加算することにより、抽出サンプル値(r)の極性を反転させる。選択回路42は、上記サンプル値抽出回路27から供給された傾斜信号(s)の信号論理値が「0」である場合には、上記サンプル値抽出回路27から供給された抽出サンプル値(r)を選択してこれを位相誤差信号(t)として出力する一方、かかる傾斜信号(s)の信号論理値が「1」である場合には、上記極性反転回路41によって極性反転されたサンプル値を選択してこれを位相誤差信号(t)として出力する。

【0045】

【0032】すなわち、かかる極性切換回路28は、サンプル値(q)の推移変化が上昇傾向にある場合には、抽出サンプル値(r)をそのまま位相誤差信号(t)として入力禁止回路105、ゲイン切り換え回路108を介してクロック発生回路29に供給する一方、サンプル値(q)の推移変化が下降傾向にある場合には、抽出サンプル値(r)の極性を反転した反転抽出サンプル値を位相誤差信号(t)として入力禁止回路105、ゲイン切り換え回路108を介してクロック発生回路29に供給するのである。

【0046】

【0033】クロック発生回路29は、かかる位相誤差信号(t)に基づいて位相補正したサンプリングクロック(v)を発生してこれを上記A/D変換器25、及びビタビ復号器26の各々に供給する。

【0047】

【0034】図4は、かかるクロック発生回路29の内部構成を示す図である。

【0048】図4において、D/A変換器51は、かかる位相誤差信号(t)をアナログ電圧に変換してLPF

(ローパスフィルタ) 52に供給する。LPF 52は、供給されたアナログ電圧を平均化してVCO(電圧制御発振器) 53に供給する。VCO 53は、LPF 52から供給された平均アナログ電圧に応じた発振周波数を有するサンプリングクロック(v)を出力する。

【0049】

【0035】図5は、上述した如き図1～図4にて示されるデジタル信号再生装置20による動作の一例を示す図である。

【0050】かかる図5において、読み取り信号(p) 10は、サンプリングクロック(v)のタイミング毎にA/D変換されてサンプル値 $q_1 \sim q_{12}$ なる系列となる。

【0051】まず、かかるサンプル値 $q_1 \sim q_{12}$ なる系列においては、サンプル値 q_1 から q_{12} の推移においてそのサンプル値が負の値から正の値へと変化している。この際、サンプル値 q_2 の絶対値とサンプル値 q_1 の絶対値とではサンプル値 q_2 の絶対値の方が小、すなわち、サンプル値 q_2 の方が0レベルに近いので、サンプル値抽出回路27は、このサンプル値 q_1 を抽出サンプル値(r)として出力する。更に、かかるサンプル値 q_2 から q_{12} への推移が上昇傾向にあるので、サンプル値抽出回路27は、傾斜信号(s)の信号論理値を「0」にする。この際、極性切換回路28は、かかる傾斜信号(s)の信号論理値が「0」であるので、上記抽出サンプル値(r)としてのサンプル値 q_2 をそのまま位相誤差信号(t)として、クロック発生回路29に供給する。

【0052】

【0036】次に、サンプル値 q_1 から q_{12} の推移においてそのサンプル値が正の値から負の値へと変化している。この際、サンプル値 q_1 の絶対値とサンプル値 q_{12} の絶対値とではサンプル値 q_{12} の絶対値の方が小、すなわち、サンプル値 q_{12} の方が0レベルに近いので、サンプル値抽出回路27は、このサンプル値 q_{12} を抽出サンプル値(r)として出力する。更に、かかるサンプル値 q_1 から q_{12} への推移が下降傾向にあるので、サンプル値抽出回路27は、傾斜信号(s)の信号論理値を「1」にする。この際、極性切換回路28は、かかる傾斜信号(s)の信号論理値が「1」であるので、上記抽出サンプル値(r)としてのサンプル値 q_{12} の極性を反転したものを位相誤差信号(t)として、クロック発生回路29に供給する。

【0053】

【0037】この際、クロック発生回路29は、上記サンプル値 q_2 及びサンプル値($-q_{12}$)に基づいて位相補正したサンプリングクロック(v)を発生するのである。次に、かかる位相誤差信号(t)によるサンプリングクロック(v)の位相補正動作を図6を参照しつつ説明する。

【0054】この際、図6(a)～(c)において、上

記図5にて示されるが如き上昇傾向を示す3つの連続したサンプル値 $q_1 \sim q_{12}$ に応じて為される位相補正動作を示す。また、図6(d)～(f)においては、上記図5に示されるが如き下降傾向を示す3つの連続したサンプル値 $q_1 \sim q_{12}$ に応じて為される位相補正動作を示すものである。尚、かかる図6中の破線は、正常位相時においてクロック発生回路29が発生するサンプリングクロック(v)のタイミング位置を示すものである。また、図中の一点鎖線はサンプル値のゼロレベルを示すものである。

【0055】

【0038】まず、図6(a)においては、サンプル値 $q_1 \sim q_{12}$ 、各々が正常なタイミングでサンプリングされている場合を示すものである。

【0056】この際、サンプル値 q_2 は、かかるゼロレベルと等しくなる。よって、クロック発生回路29には、位相誤差信号(t)としてこのゼロレベルが供給されることになる。従って、この際、クロック発生回路29は現状の位相にてサンプリングクロック(v)の発生を行う。

【0057】

【0039】次に、図6(b)においては、サンプル値 $q_1 \sim q_{12}$ 、各々が正常な位置よりも早いタイミングでサンプリングされている場合を示すものである。

【0058】この際、サンプル値 q_2 は、上記ゼロレベルよりも小なる負の値となる。よって、クロック発生回路29には、位相誤差信号(t)としてこのゼロレベルよりもサンプル値 q_2 の分だけ少ない負の値が供給されることになる。従って、この際、クロック発生回路29は、サンプル値 q_2 に対応した分だけ位相を遅らせたサンプリングクロック(v)の発生を行ってクロックの位相進みを補正するのである。

【0059】

【0040】次に、図6(c)においては、サンプル値 $q_1 \sim q_{12}$ 、各々が正常な位置よりも遅いタイミングでサンプリングされている場合を示すものである。

【0060】この際、サンプル値 q_2 は、上記ゼロレベルよりも大なる正の値となる。よって、クロック発生回路29には、位相誤差信号(t)としてこのゼロレベルよりもサンプル値 q_2 の分だけ大なる正の値が供給されることになる。従って、この際、クロック発生回路29は、サンプル値 q_2 に対応した分だけ位相を進ませたサンプリングクロック(v)の発生を行ってクロックの位相遅れを補正するのである。

【0061】

【0041】て、クロック発生回路29には、位相誤差信号(t)としてこのゼロレベルよりもサンプル値 q_2 の分だけ大なる正の値が供給されることになる。従って、この際、クロック発生回路29は、サンプル値 q_2 に対応した分だけ位相を進ませたサンプリングクロック

11

(v)の発生を行ってクロックの位相遅れを補正するのである。

【0062】

【0041】次に、図6(d)においては、サンプル値 $q_1 \sim q_n$ 、各々が正常なタイミングでサンプリングされている場合を示すものである。

【0063】この際、サンプル値 q_n は、一点鎖線で示されるゼロレベルと等しくなる。ここで、サンプル値 $q_1 \sim q_n$ なる系列のレベル変化は下降傾向である。よって、クロック発生回路29には、位相誤差信号(t)として、このゼロレベルの極性反転値、すなわち同じくゼロレベルが供給されることになる。従って、この際、クロック発生回路29は現状の位相にてサンプリングクロック(v)の発生を行うのである。

【0064】

【0042】次に、図6(e)においては、サンプル値 $q_1 \sim q_n$ 、各々が正常な位置よりも早いタイミングでサンプリングされている場合を示すものである。

【0065】この際、サンプル値 q_n は、上記ゼロレベルよりも大なる正の値となる。ここで、サンプル値 $q_1 \sim q_n$ なる系列のレベル変化は下降傾向である。よって、クロック発生回路29には、位相誤差信号(t)として、このサンプル値 q_n の極性を反転した信号、すなわち、上記ゼロレベルよりもサンプル値 q_n の分だけ少ない負の値が供給されることになる。従って、この際、クロック発生回路29は、サンプル値 q_n に応じた分だけ位相を遅らせたサンプリングクロック(v)の発生を行ってクロックの位相進みを補正するのである。

【0066】

【0043】最後に、図6(f)においては、サンプル値 $q_1 \sim q_n$ 、各々が正常な位置よりも遅いタイミングでサンプリングされている場合を示すものである。

【0067】この際、サンプル値 q_n は上記ゼロレベルよりも小なる負の値となる。ここで、サンプル値 $q_1 \sim q_n$ なる系列のレベル変化は下降傾向である。よって、クロック発生回路29には、位相誤差信号(t)として、このサンプル値 q_n の極性を反転した信号、すなわち、上記ゼロレベルよりもサンプル値 q_n の分だけ大なる正の値が供給されることになる。従って、この際、クロック発生回路29は、サンプル値 q_n に応じた分だけ位相を進ませたサンプリングクロック(v)の発生を行ってクロックの位相遅れを補正するのである。

【0068】

【0044】尚、上記極性切換回路28においては、サンプル値系列のサンプル値レベルが上昇傾向にある場合には、サンプル値抽出回路27から供給された抽出サンプル値(r)をそのまま位相誤差信号(t)として入力禁止回路105、ゲイン切り換え回路108を介してクロック発生回路29に供給する一方、かかるサンプル値系列のサンプル値レベルが下降傾向にある場合には、上

12

記抽出サンプル値(r)の極性を反転した反転抽出サンプル値を位相誤差信号(t)としてクロック発生回路29に供給する構成としているが、この極性反転の条件は、クロック発生回路29の信号処理方法によって適宜設定されるものである。

【0069】

【0045】例えば、上記実施の形態の図2において、サンプル値抽出回路27の内部構成の一例を示したが、かかるサンプル値抽出回路27としては、図7に示されるが如き内部構成のものを採用しても良い。

【0070】かかる図7において、加算器82は、A/D変換器25から供給されてくるサンプル値(q)と、Dフリップフロップ81によって1サンプリングクロック分だけ遅延された遅延サンプル値との加算を行う。かかる加算動作により加算器82は、図8に示されるが如く、隣接する2つのサンプル値(q)毎に、その平均サンプル値(u)を求める。尚、図8においては、サンプル値(q)を白丸、平均サンプル値(u)を黒丸で示している。この際、かかる平均サンプル値(u)の系列は、サンプル値(q)の系列に対して直線補間を行ったものとなる。

【0071】

【0046】図1は、本発明の実施の形態の構成を示すブロック図である。図1に示すようにスピンドルモータ3で回転駆動される光ディスク2からピックアップ4で読み取られた読み取り信号は、アンプ5で増幅され、A/D変換器25でクロック発生回路29からのクロックによってサンプリングされデジタル変換される。位相誤差検出器104でデジタル信号を得て、このデジタル信号のサンプル値系列から位相誤差信号を得る。

【0072】

【0047】位相誤差検出器104の出力は、入力禁止回路105の入力の1つに供給され、入力禁止回路105の他方の入力には、センターレベル出力回路106から基準レベルが入力されている。また、入力禁止回路105の制御入力には、ドロップアウト検出器107からのドロップアウト検出信号が入力されており、ドロップアウト期間中は位相誤差信号(t)に替わってセンターレベル出力回路106からの信号を出力する。そのことにより、ゲイン切り換え回路108及びクロック発生回路29へのドロップアウト期間中の位相誤差信号(t)の入力を禁止する。

【0073】

【0048】次に、ゲイン切り換え回路108、メモリ109で構成されるゲイン設定手段では、媒体種検出手段であるディスク種類判別手段110、多層ディスクに対する再生層を指定する制御手段111、記録領域を判別する領域判別手段112の各々の状態に対応する最適なゲインをメモリ109に記憶させておき、それぞれの判別手段の判別結果や、制御手段111からの制御信号

に従ってゲイン切り換え回路108は入力禁止回路105からの位相誤差信号に対し、適切なゲインとなるよう切り換え選択する。

【0074】

【0049】ゲイン切り換え回路108で最適なゲインとなるよう処理された位相誤差信号は、クロック発生回路29に供給され、そこで最適に位相補正されたクロックを発生し、A/D変換器25に供給する。一方、A/D変換器の出力はビタビ復号器26へ入力され、ビタビ復号された2値データが出力103に出力される。

【0075】

【0050】上述の如く本発明は、位相誤差信号に対して所定のゲインを選択的に与えて、最適なクロックを出力するように制御しようとするものである。図12にゲイン設定手段のブロック図を示す。図12において、記憶回路501により、多層ディスク、ディスクの種類、記録領域の各々の状態に対応する最適なゲイン $\{k_0, k_1, \dots, k_{i-1}\}$ を、mビットで表現し、現在の読み取り信号の状態によりシステムコントローラ505及び選択回路502にて、ゲイン $\{k_0, k_1, \dots, k_{i-1}\}$ から、1つのゲイン k_i を選択し、乗算器503の1つの入力とする。

【0076】

【0051】乗算器503の他方の入力506には、位相誤差信号がnビットで入力され、乗算器503からnビットの乗算結果がDフリップフロップ504へ送られてラッチされる。Dフリップフロップ504の出力507にはnビットの最適ゲイン位相誤差信号が出力される。図12の501は図1のメモリ109に、図12の502～505は図1のゲイン切り換え回路108にそれぞれ対応している。

【0077】

【0052】前述したように、請求項1、3に記載の再生装置では、図1のように、ディスクから読み取られた読み取り信号はA/D変換器を介し、サンプリングクロックでサンプリングされたサンプル値系列を得る。サンプル値系列から位相誤差信号を得て、ゲインを切り換える方式であれば、ゲイン切り換えによる遅延やショックは無く、正確なクロックを生成することができる。

【0078】

【0053】具体的な動作は、ディスクからの読み取り信号がA/D変換器25によりサンプル値(q)に変換された後、位相誤差検出器104によって、位相誤差信号(t)が生成される。この位相誤差信号(t)は入力禁止回路105を介し、ゲイン切り換え回路108に供給される。また、ディスク種類判別手段110は再生されているディスクがCDであるかCD-Rであるかを、読み取り信号中のウォブル信号の有無に基づき判断する。ウォブル信号はCD-Rには存在するが、CDには存在しないので、ウォブル信号が検出されればCD-

R、検出されなければCDと判別できる。

【0079】

【0054】例えば、ウォブル信号が読み取り信号から検出されると、ディスク種類判別手段110はCD-Rであると判別し、CD-Rであることを示すディスク種類信号をゲイン切り換え回路108に供給する。ゲイン切り換え回路108はディスク種類信号に基づき、メモリ109からCD-Rに対応するゲインを読み出し、入力された位相誤差信号(t)にゲインを与える。

【0080】

【0055】そして、ゲインが与えられた位相誤差であるゲイン位相誤差信号はクロック発生回路29に入力され、そのゲイン位相誤差信号に基づきクロックが生成される。なお、同様に、再生するディスクがCDである場合は、CDに対応したゲインが位相誤差信号(t)に与えられる。また、CDに比べ、CD-Rの再生波形は、その特性から必然的に小さなものとなるため、メモリ109に記憶されているディスク毎のゲインの値は、CDに対応するゲインに比べ、CD-Rに対応するゲインは高い値に設定されている。

【0081】

【0056】次に、位相誤差信号にゲインを与える動作を説明する。サンプル値系列からセンターレベルに最も近いサンプル値を抽出し、抽出データが上昇傾斜時か下降傾斜時かによってセンターレベルに対し反転または非反転し、それを位相誤差信号として得る。ゲイン設定手段にて複数のゲイン設定値から最適となるゲインを選択しこの位相誤差信号を所定のゲインに変換する。

【0082】

【0057】次に例として、図9に読み取り信号に対してサンプリングクロックの位相が進んでいる場合の諸動作を示す。図9(a)に示すように、読み取り信号またはサンプル値系列に対しサンプリングクロックの位相が進むと、位相誤差検出手段にてセンターレベルに最も近いサンプル値を反転または非反転して位相誤差信号を得て、図9(b)に示すようになる。

【0083】

【0058】位相誤差信号のゲインを仮に2倍から1倍に切り換えるとゲイン切り換え後の最適ゲイン位相誤差信号は図9(c)に示すようになる。このようにして得た最適ゲイン位相誤差信号により、位相補正されたサンプリングクロックは位相を遅らせ読み取り信号と位相同期する。

【0084】

【0059】次に、ディスクの傷や、フィンガープリント等により、ドロップアウトが生じた時には、読み取り信号は正常な信号とは異なる信号となる。この異常なアナログ信号をサンプリングしたサンプル値系列も同様に異常なものとなる。連続制御系において、ドロップアウト時の位相誤差信号を除外しようとしても、スイッチン

グノイズ等で正確に除外することができない。これは正確にクロックが得られないことを意味する。

【0085】

【0060】請求項2に記載の発明による実施の形態では、図11に内部ブロック図を図示した入力禁止回路105を用いて、離散制御系では、容易に且つ正確にドロップアウト時の異常サンプル値系列を除外することができる。図11において、選択手段401はその制御入力である401cに入力されるドロップアウト検出信号によって、入力Aの位相誤差信号入力か、入力Bのセンターレベル値かを選択する。ドロップアウト発生時は、入力Bのセンターレベル値を選択し、そうでない場合は、入力Aの位相誤差信号入力を選択する。Dフリップフロップ402は、データラッチ用であり、ラッチされた信号が位相誤差信号出力となる。

【0086】また、図1では、ドロップアウトを検出するドロップアウト検出手段であるドロップアウト検出器107でドロップアウトを検出する。検出の方法としては、図13に示すように、RF信号のゼロクロスを検出し、所定期間 t_0 の間ゼロクロスが得られないときはドロップアウトが発生したと判断して、期間 t_1 の間ドロップアウト検出信号を出力する方法等がある。ドロップアウト検出器107からのドロップアウト検出信号は、入力禁止回路105の制御入力に輸入されており、ドロップアウト期間中は位相誤差信号に替わってセンターレベル出力回路106からの信号を出力し、異常サンプル値系列の影響を受けないようにしている。

【0087】

【0061】次に、多層ディスクの場合は、ディスクの層に応じて、ゲインを切り換えるように構成する。例えば、2層ディスクにおいて、ピックアップに近い側の1層目は、遠い側の2層目の全反射膜に対して半透過性の膜で構成され、通常2層目の情報読み取り信号の方が1層目の情報読み取り信号よりも信号レベルが大きくなる。従って、2層目の読み取り時に比べ、1層目の読み取り時のゲインを高く設定する必要が生じる。

【0088】請求項4に記載の発明による実施の形態では、多層ディスクに対する再生層を指定する制御手段111から再生する層を示す制御信号がゲイン切り換え回路108に出力される。ゲイン切り換え回路108は制御信号が示す、1層目または2層目との情報に基づき、メモリ109から予め層毎に設定されている適切なゲインを読み出し、入力禁止回路105からの位相誤差信号に対し、ゲインを切り換え設定する。

【0089】

【0062】具体的な動作は、ディスクからの読み取り信号がA/D変換器25によりサンプル値(q)に変換された後、位相誤差検出器104によって、位相誤差信号(t)が生成される。この位相誤差信号(t)は入力禁止回路105を介し、ゲイン切り換え回路108に供

給される。また、制御手段111は再生する再生層が1層目であるか、2層目であるかを示す制御信号をゲイン切り換え回路108に供給する。例えば、再生する層が2層目である場合、2層目であることを示す制御信号がゲイン切り換え回路108に出力され、この制御信号に基づき、メモリ109から2層目に対応するゲインを読み出し、入力された位相誤差信号(t)にゲインを与える。

【0090】

10 【0063】そして、ゲインが与えられた位相誤差であるゲイン位相誤差信号はクロック発生回路29に輸入され、そのゲイン位相誤差信号に基づきクロックが生成される。なお、同様に、再生する層が1層目である場合は、1層目に対応したゲインが位相誤差信号(t)に与えられる。また、前述したように2層目の読み取り信号レベルより、1層目の読み取り信号レベルが低いため、メモリ109に記憶している層毎のゲインの値は、2層目に対応するゲインよりも1層目に対応するゲインは高い値に設定されている。

20 【0091】

【0064】次に、前述したように、ディスクを領域に分け、情報領域とサーボ領域が繰り返し存在するように構成するディスクがある(図15参照)。例えば、書き換え可能ディスクでは、予め、サーボ領域を設定することでトラッキングサーボ及びPLLサーボを行い、情報領域にデジタルデータを記録または再生を行う。

30 【0092】このような、ディスクではサーボ領域には所定のビットが刻んであり、その領域でクロックの引き込みを正確に行い、情報領域では情報の読み取りを行うようになっている。

【0093】情報領域ではノイズやドロップアウトに対し、PLLが敏感に反応して揺動してしまうことを避ける必要があり、サーボ領域ではクロックが揺動される場合等でも正確なクロック同期を得るために、PLLを速く引き込み位相を速く合わせる必要がある。

【0094】

40 【0065】そのため、サーボ領域ではゲインを高くし、PLLの応答を速くする。情報領域ではゲインを低めに設定し、応答を遅くなるようにする。領域毎のゲインは記憶手段に記憶しておき、再生する領域に応じてゲインを切り換えるように構成する。領域の判別方法は、領域は予め決められた位置に設定されているので、カウンタを用い、タイミングをはかることにより領域を判別できる。

50 【0095】請求項5に記載の発明による実施の形態では、記録領域を判別する領域判別手段112の各々の状態に対応する最適なゲインをメモリ109に記憶させておき、領域判別手段112の判別結果に従ってゲイン切り換え回路108は入力禁止回路105からの位相誤差信号に対し、適切なゲインとなるよう切り換え選択す

る。

【0096】

【0066】具体的な動作は、ディスクからの読み取り信号がA/D変換器25によりサンプル値(q)に変換された後、位相誤差検出器104によって、位相誤差信号(t)が生成される。この位相誤差信号(t)は入力禁止回路105を介し、ゲイン切り換え回路108に供給される。また、領域判別手段112は内部に有するカウンタを用いて、タイミングをはかることによりサーボ領域と情報領域を判別する。各々の領域はディスクの予め決められた位置に設定されているため上記手法により領域の判別が可能である。

【0097】

【0067】そして、領域判別手段112は判別した結果に基づき領域判別信号をゲイン切り換え回路108に出力する。例えば、サーボ領域を再生している場合、サーボ領域を示す領域判別信号がゲイン切り換え回路108に供給される。ゲイン切り換え回路108は領域判別信号に基づき、メモリ109からサーボ領域に対応するゲインを読み出し、入力された位相誤差信号(t)にゲインを与える。そして、ゲインが与えられた位相誤差信号であるゲイン位相誤差信号はクロック発生回路29に

入力され、そのゲイン位相誤差信号に基づきクロックが生成される。

【0098】なお、同様に、情報領域を再生している場合は情報領域に対応したゲインが位相誤差信号(t)に与えられる。

【0099】また、情報領域に比べ、サーボ領域ではPLLの応答を速くするために、メモリ109に記憶されているサーボ領域に対応するゲインの値は、情報領域に

対応するゲインに比べ、高い値に設定される。

【0100】

【0068】一方、連続制御系によるゲイン切り換えでは図16に示すR1、R2、R3、R4等の素子各々に誤差が含まれるため、所望のゲインが得られないが、離散制御系でゲインを設定すると、厳密にゲインを設定することができる。また、図10に示すようにクロック発生手段の一例として、D/A変換器301、LPF302、VCO303を用いた構成の場合、VCO303の入力電圧に対しLPF302でのゲイン切り換えよりも、ワイドレンジで扱うことができる。

【0101】

【0069】本発明では、上述した以外の回路構成として種々の形態が可能である。例えば、図10に示したクロック発生手段において、D/A変換器301の替わりに、PWM回路を用いて位相誤差信号に応じたパルス幅を有するパルスを生成し、LPF302でパルスの平均電圧を得ても良い。

【0102】

【0070】また、LPFを非反転積分回路で構成した

場合の位相誤差検出法は先述した方法でも良いが、LPFを反転積分回路で構成した場合は、サンプル値から抽出された抽出データに対し、上昇傾斜時、下降傾斜時における抽出データは反転、非反転により位相誤差信号を得ることで回路構成を行うことができる。

【0103】

【0071】また、LPFを離散制御系で構成しても良いし、離散制御系、連続制御系双方を併用しても良い。また、ドロップアウト時の除去法も、ドロップアウト直前の値を記憶しておき、その記憶値と切り換えても良い。

【0104】また、上述した実施の形態では、位相誤差信号にCD、CD-Rに応じたゲインを与える例を示したが、本発明はこれらのディスクに限らず、DVD(Digital Video Disk)などその他のディスクにも用いることができる。また、1層目、2層目の再生層に応じたゲインを与える例を示したが、3層以上の記録層を有するディスクにも本発明は適用できる。さらに、サーボ領域、情報領域の2つの領域に応じたゲインを与える例を示したが、本発明は3領域以上に分かれているディスクにも適用できる。

【0105】

【0072】

【0106】

【発明の効果】以上説明したように、本発明による再生装置によれば、ディスクから読み取られた再生読み取り信号をデジタル変換し、このデジタル信号のサンプル値系列から位相誤差信号を得て、ゲインを切り換えるようにしたので、ゲイン切り換えによる遅延や切り換えのためのショックは無く、正確なクロックを生成することができる。

【0107】また、離散制御系でゲインを設定するため、連続制御系の場合に比べ厳密にゲインを設定することができる。

【0108】

【0073】また、クロック発生手段として、D/A変換器、LPF、VCOを用いた場合、VCO入力電圧に対しLPFでのゲイン切り換えよりも、ワイドレンジで扱うことができる。

【0109】また、ディスクの種類、各記録層、各記録領域に対して、ゲイン設定手段に記憶しておくことにより、それを切り換えることで直ちに最適ゲインに設定することができる。

【0110】また、離散制御系で処理するため、ドロップアウト発生時に、容易に且つ正確にドロップアウト時の異常サンプル値系列を除外することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の構成を示すブロック図である。

【図2】サンプル値抽出回路27の内部構成の一例を示

す図である。

【図3】極性切換回路28の内部構成の一例を示す図である。

【図4】クロック発生回路29の内部構成の一例を示す図である。

【図5】本発明の実施の形態のデジタル信号再生装置による動作を表す図である。

【図6】位相誤差信号(t)によるサンプリングクロック(v)の位相補正動作を説明するための図である。

【図7】サンプル値抽出回路27の他の実施の形態による内部構成を示す図である。

【図8】サンプル値(q)及び平均サンプル値(u)の一例を示す図である。

【図9】本発明の実施の形態のサンプリングクロックの位相関係を示す図である。

【図10】本発明の実施の形態のクロック発生手段の一例を示すブロック図である。

【図11】本発明の実施の形態の位相誤差信号選択手段を示す図である。

【図12】本発明の実施の形態のゲイン設定手段の構成を示すブロック図である。

【図13】本発明の実施の形態のドロップアウト期間を示す図である。

【図14】従来のクロック発生手段の構成図である。

【図15】記録領域が分離されている場合の信号波形を示す図である。

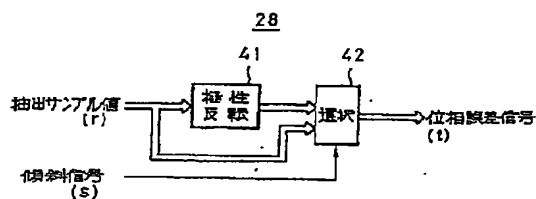
【図16】従来のループゲイン切り換え回路を示す図である。

【主要部分の符号の説明】

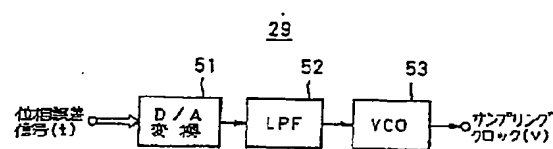
- 1 情報読取装置
- 2 光ディスク
- 3 スピンドルモータ
- 4 ビックアップ
- 5 アンプ
- 6 2値スライス回路
- 7 サンプリング回路
- 8 位相誤差検出器
- 9 LPF
- 10 VCO
- 11 2値データ出力

- * 20 デジタル信号再生装置
- 25 A/D変換器
- 26 ビタビ復号器
- 27 サンプル値抽出回路
- 28 極性切換回路
- 29 クロック発生回路
- 32, 35, 36, 38 Dフリップフロップ
- 51 D/A変換器
- 52 LPF
- 53 VCO
- 81 Dフリップフロップ
- 82 加算器
- 103 出力
- 104 位相誤差検出器
- 105 入力禁止回路
- 106 センターレベル出力回路
- 107 ドロップアウト検出器
- 108 ゲイン切り換え回路
- 109 メモリ
- 110 ディスク種類判別手段
- 111 制御手段
- 112 領域判別手段
- 301 D/A変換器
- 302 LPF
- 303 VCO
- 401 選択手段
- 401a, 401b 入力
- 401c 選択制御入力
- 402 Dフリップフロップ
- 501 記憶回路
- 502 選択回路
- 503 乗算器
- 504 Dフリップフロップ
- 505 システムコントローラ
- 506 入力
- 507 出力
- 901 演算増幅器
- 902 入力
- * 40 903 出力

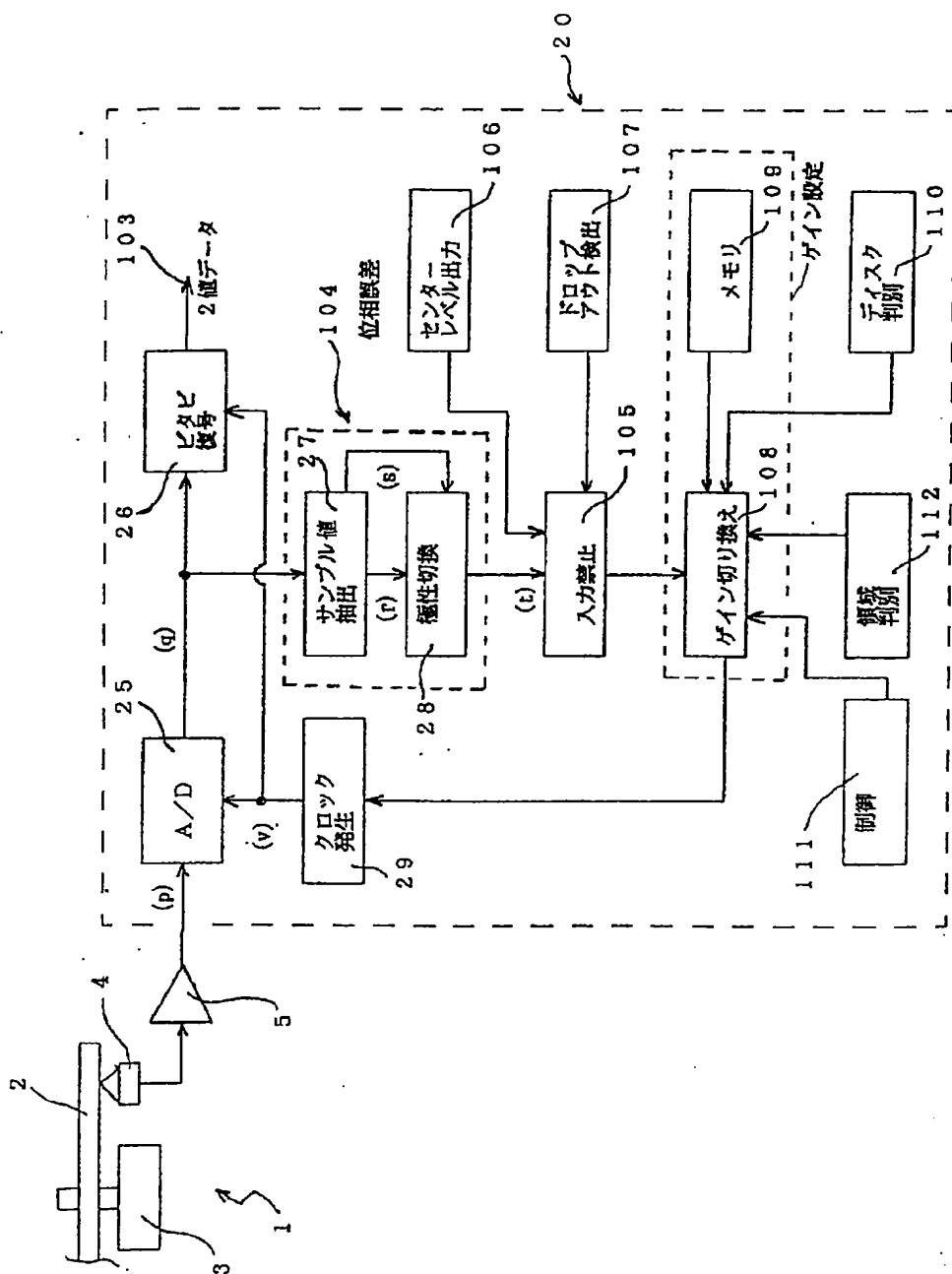
【図3】



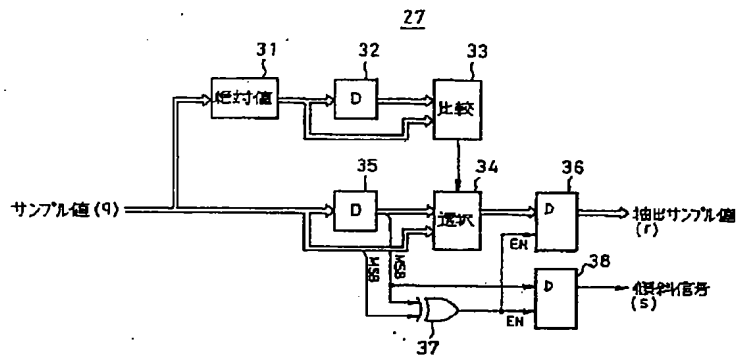
【図4】



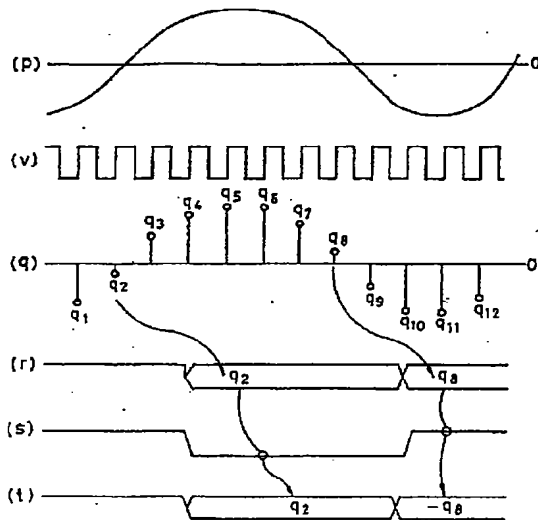
【圖 1】



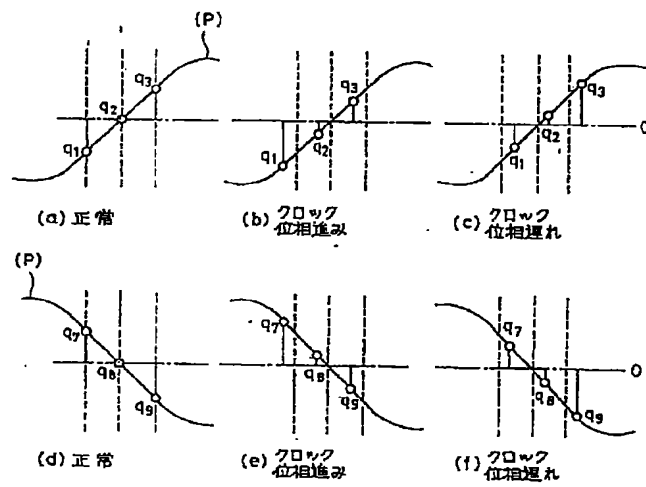
【図2】



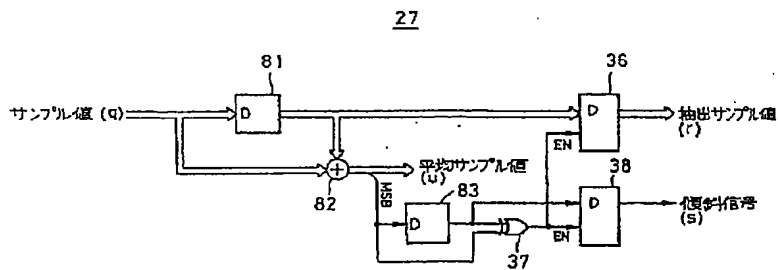
【図5】



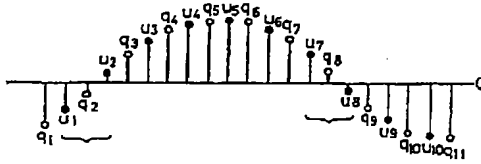
【図6】



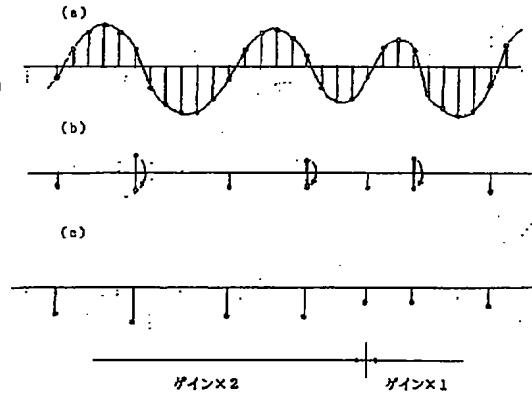
【図7】



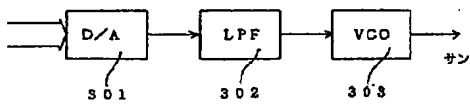
【図8】



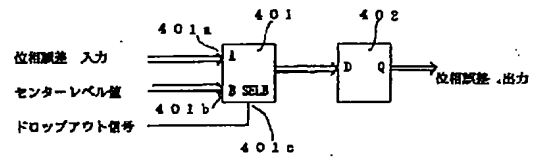
【図9】



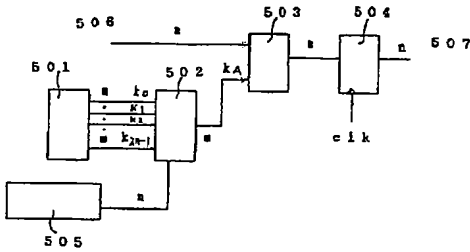
【図10】



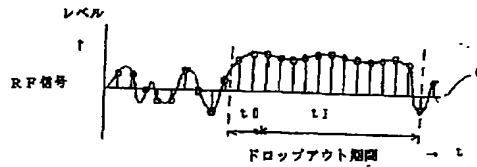
【図11】



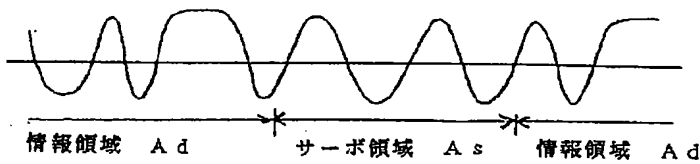
【図12】



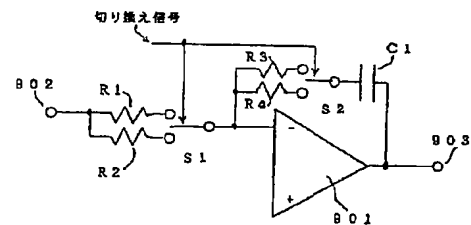
【図13】



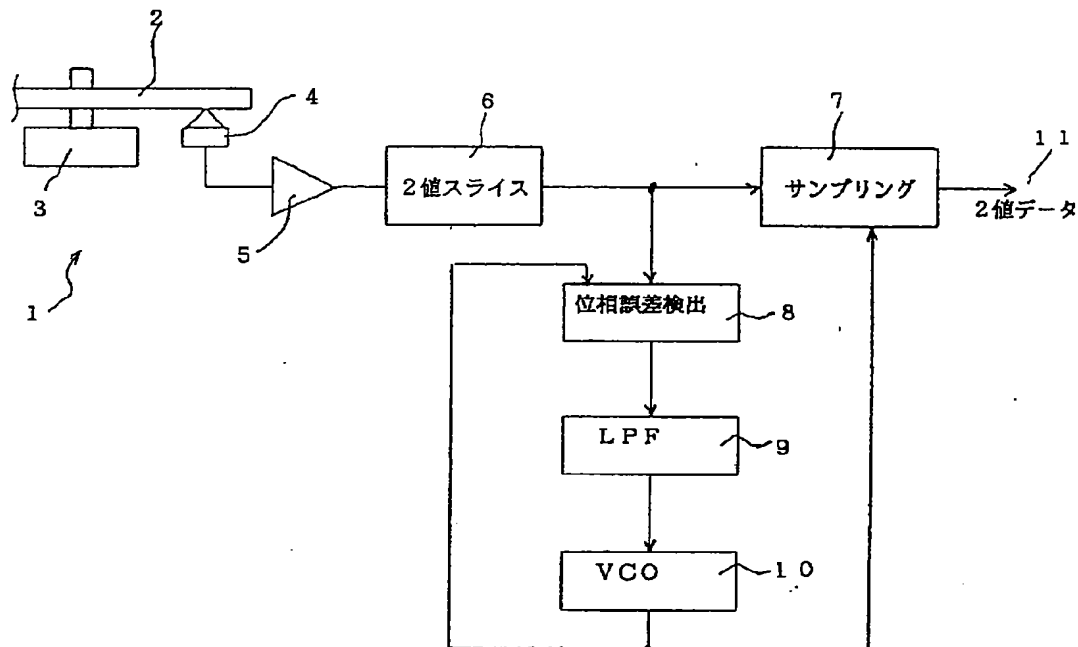
【図15】



【図16】



【図14】



【手続補正書】

【提出日】平成9年5月16日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の詳細な説明

【補正方法】変更

【補正内容】

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光ディスク再生装置に関する。

【0002】

【従来の技術】図14にCD（コンパクトディスク）プレーヤ等で用いられていたクロック発生手段の構成図を示す。2は光ディスク、3は光ディスク2を回転駆動するスピンドルモータ、4は光ディスクに記録されている情報を読み取るためのピックアップである。ピックアップ4で再生された情報信号は、アンプ5で増幅され、2値スライス回路6に入力され、読み取り信号を2値スライス回路6において所定値と比較することにより、2値パルスに変換する。

【0003】2値パルスをVCO（電圧制御発振器）10の発生する再生クロックと位相誤差検出器8で比較し、その位相誤差をPWM（パルス幅変調）信号で表現

し、PWM信号をLPF（ローパスフィルタ）9で平滑化してVCO10の入力電圧を得ていた。VCO10は、この入力電圧に応じた再生クロックを再生し、2値スライス回路6の出力をサンプリング回路7でサンプリングして2値データ出力11を得ていた。

【0004】

【発明が解決しようとする課題】例えば、CD-R（CD-Recordable）プレーヤ等で、CDとCD-Rを再生する場合、信号の波形のエッジ部の立ち上がりの波形に差が出る。理由は、CDを記録を行うレーザの波長と、CD-Rの記録を行う波長が異なるため、ビット形状に差を生ずるからである。位相誤差を示す位相誤差信号は信号波形のエッジ部付近の信号を検出して生成するため、信号波形のエッジ部の立ち上がりに差が出ると、同一位相誤差でも生成される位相誤差信号が異なる。

【0005】また、信号波形のエッジ部の傾斜が緩やかな場合、ノイズが加わると位相誤差信号に悪影響を及ぼす。従って、一方のディスクに対して最適なループを組むと、他方のディスクに対しては最適なループとはならない。このため、ディスクの種類によって最適クロックへの引き込み速度に差が生じる。

【0006】この問題点を解決するために、図16に示

すような回路が考えられる。図16において、入力902に入力される位相誤差信号は、演算増幅器901のゲイン、キャパシタンスC1、抵抗R1、R3または抵抗R2、R4で構成される可変利得フィルタをS1及びS2のスイッチで切り換えて、対応するゲインの処理を受けて出力903に出力される。

【0007】図16で示すループゲイン切り換え回路のようにLPF部にゲイン切り換え手段S1及びS2を持たせ、ディスクに応じてループフィルタのゲインを切り換え、クロックへの引き込み速度を調整することが考えられるが、S1及びS2のようなアナログスイッチでは切り換え時のショックや遅延が生じるため、これによりVCOの入力電圧に変動が起きて再生クロックに悪影響を及ぼす。

【0008】また、ディスクによっては、図15に示すように情報領域とサーボ領域に領域が分かれている場合がある。このような場合、サーボ領域ではAsで示すような固定パターンが記録されており、この区間は応答を速くしPLL(Phase Locked Loop)を速く引き込む必要がある。Adで示す情報領域では応答を遅くしてノイズ等によってクロックが不安定にならないようにする必要がある。

【0009】これを連続制御系で構成すると、図16のようにLPFにてループゲインを切り換えて、サーボ領域ではLPFの帯域を広くしてクロックを速く引き込み、情報領域では帯域を狭くしてノイズやドロップアウト等があっても、影響を受け難くしている。しかし、アナログスイッチ等でループゲインを切り換えても、切り換え時のショックや遅延が生じ、これがVCOの入力電圧の変動を生じ、再生クロックに悪影響を及ぼしたり、クイックアクセスが困難になる等の問題があった。

【0010】また、LPFによるループゲイン切り換えでは図16に示すR1～R4等の素子各々の誤差が影響し、所望のループゲインが得られない場合が生じる。このように、LPF部でのループゲイン切り換えは容易ではあるが、誤差が生じやすい。位相誤差検出部はPWM信号出力なので、ループゲイン切り換えは容易ではない。また、ディスクの各層、ディスクの種類においても同様に連続制御系ではクイックアクセスが困難であった。

【0011】さらに、ディスクの傷や、フィンガープリント等により、ドロップアウトが生じた場合に得られる再生読み取り信号は、正規にディスクに記録されたものと異なるものとなる。アナログ信号処理でドロップアウト時の位相誤差を除去しようとしても、アナログスイッチ等では、スイッチングノイズ等により正確に除去できない。そのため、得られるクロックも正確なものでなくなる。

【0012】そこで、本発明は、上述したような問題に鑑み、安定した再生装置を提供することを目的としてい

る。

【0013】

【課題を解決するための手段】上記課題を解決するために、請求項1に記載の発明は、デジタル信号が記録されている記録媒体から読み取られた読み取り信号からデジタル信号を再生する再生装置において、記録媒体から信号を読み取る読み取り手段と、読み取り信号をサンプリングクロックにて順次サンプリングしてサンプル値系列に変換するA/D変換器と、サンプル値系列からデジタル信号の復号を行い、再生デジタル信号として出力する復号手段と、サンプル値系列から位相誤差を検出する位相誤差検出手段と、所定ゲインを記憶する記憶手段と、位相誤差に所定ゲインを与えたゲイン位相誤差を出力するゲイン設定手段と、ゲイン位相誤差に基づいて位相補正を行ったクロック信号をサンプリングクロックとして発生するクロック発生手段とを有する。

【0014】請求項2に記載の発明は、請求項1記載の再生装置であって、ドロップアウトを検出するドロップアウト検出手段と、ドロップアウトを検出したならば、ドロップアウト時のサンプル値系列から得られる位相誤差のクロック発生手段への入力を禁止する入力禁止手段とを有する。

【0015】請求項3に記載の発明は、請求項2記載の再生装置であって、記録媒体の種類を検出する媒体種検出手段とを有し、記憶手段は記録媒体の種類に応じて所定ゲインを有し、ゲイン設定手段は記録媒体の種類に応じて、位相誤差に所定ゲインを与えることを特徴とする。

【0016】請求項4に記載の発明は、請求項1または請求項2に記載の再生装置であって、記録媒体には複数の記録層が存在するとともに、記憶手段は記録媒体の記録層に応じて所定ゲインを有し、ゲイン設定手段は記録媒体から信号を読み出す記録層に応じて、位相誤差信号に所定ゲインを与えることを特徴とする。

【0017】請求項5に記載の発明は、請求項1または請求項2に記載の再生装置であって、記録媒体には複数の領域が存在するとともに、記憶手段は記録媒体の領域に応じて所定ゲインを有し、ゲイン設定手段は記録媒体から信号を読み出す領域に応じて、位相誤差信号に所定ゲインを与えることを特徴とする。

【0018】

【作用】請求項1に記載の発明は、デジタル信号を再生する再生装置において、読み取り信号をサンプル値系列に変換し、サンプル値系列から位相誤差を検出し、所定ゲインを記憶する記憶手段と、ゲイン位相誤差を出力するゲイン設定手段を設け、ゲイン位相誤差に基づいて位相補正を行ったクロック信号をサンプリングクロックとして発生するようにしたので、ゲイン切り換えによる遅延や切り換えのためのショックは無く、正確なクロックを生成することができる。

【0019】請求項2に記載の発明は、ドロップアウトを検出したならば、ドロップアウト時のサンプル値系列から得られる位相誤差のクロック発生手段への入力を禁止する入力禁止手段とを有するようにしたので、容易に且つ正確にドロップアウト時の異常サンプル値系列を除外することができる。

【0020】請求項3～請求項5に記載の発明は、記憶手段及びゲイン設定手段を記録媒体の種類、記録層、記録媒体から信号を読み出す領域のそれぞれに応じて、位相誤差に所定ゲインを与えるようにしたので、それぞれに応じて直ちに最適ゲインに設定することができる。

【0021】

【発明の実施の形態】図1は、本発明によるデジタル信号再生装置20の構成を示す図である。かかる図1において、情報読取装置1は、デジタル情報信号が高密度記録されている光ディスク2を回転駆動せしめるスピンドルモータ3と、かかる光ディスク2に記録されている記録情報を読み取って得られた読み取り信号(p)をデジタル信号再生装置20に供給するピックアップ4とからなる。

【0022】かかる情報読取装置1から供給された読み取り信号(p)は、デジタル信号再生装置20のA/D変換器25に供給される。A/D変換器25は、この読み取り信号(p)を、クロック発生回路29から供給されるサンプリングクロック(v)のタイミングにてサンプリングして、この際得られたサンプル値(q)をビタビ復号器26、及びサンプル値抽出回路27の各々に供給する。

【0023】ビタビ復号器26は、上記のサンプリングクロック(v)のタイミング毎にサンプル値(q)を順次取り込み、この取り込んだサンプル値(q)を系列として観測する。ここで、ビタビ復号器26は、かかる入力サンプル値系列に対して最も存在確率の高い復号データ系列を再生デジタル信号として出力する。サンプル値抽出回路27は、上記サンプリングクロック(v)のタイミング毎にA/D変換器25から供給されてくるサンプル値(q)が正の値から負の値、または負の値から正の値へと推移するゼロクロス区間中において、そのサンプル値(q)の値が最も0レベルに近いサンプル値を抽出し、これを抽出サンプル値(r)として極性切換回路28に供給する。

【0024】更に、かかるサンプル値抽出回路27は、この抽出サンプル値(r)を、サンプル値(q)の推移変化の上昇傾向中に得たものであるのか、または、下降傾向中に得たものであるのかを示す傾斜信号(s)を生成してこれを極性切換回路28に供給する。図2は、かかるサンプル値抽出回路27の内部構成の一例を示す図である。

【0025】図2において、絶対値回路31は、供給されてくるサンプル値(q)の絶対値を求めてこれをサン

ブル絶対値としてDフリップフロップ32及び比較器33の各々に供給する。かかるDフリップフロップ32には、図示していないが、サンプリングクロック(v)がそのクロック端に供給されており、上記絶対値回路31から供給されてくるサンプル絶対値を1サンプリングクロック分だけ遅延させて比較器33に供給する。

【0026】比較器33は、かかる絶対値回路31から供給されてくるサンプル絶対値と、1サンプリングクロック分だけ遅延されて供給されてくるサンプル絶対値との大小比較を行い、この大小比較結果を示す比較結果信号を選択回路34に供給する。例えば、比較器33は、絶対値回路31から供給されてくるサンプル絶対値が、1サンプリングクロック分だけ遅延されて供給されてくるサンプル絶対値よりも大であると判定した場合には論理値「0」の比較結果信号を選択回路34に供給する一方、絶対値回路31から供給されてくるサンプル絶対値が、1サンプリングクロック分だけ遅延されて供給されてくるサンプル絶対値よりも小であると判定した場合には論理値「1」の比較結果信号を選択回路34に供給する。Dフリップフロップ35は、図示していないが、サンプリングクロック(v)がそのクロック端に供給されており、上記A/D変換器25から供給されてくるサンプル値(q)を1サンプリングクロック分だけ遅延した遅延サンプル値を選択回路34に供給する。

【0027】選択回路34は、上記比較器33から論理値「0」の比較結果信号が供給された場合には、上記Dフリップフロップ35により1サンプリングクロック分だけ遅延された遅延サンプル値をDフリップフロップ36に供給する一方、上記比較器33から論理値「1」の比較結果信号が供給された場合には、上記A/D変換器25から供給されてくるサンプル値(q)をそのままDフリップフロップ36に供給する。

【0028】すなわち、上記比較器33及び選択回路34は、上記A/D変換器25から順次供給されてくるサンプル値系列中から、互いに隣接(サンプリングタイミングにおいて)する2つのサンプル値(q)同士の大小比較を行い、その絶対値の小なる方を選択してDフリップフロップ36に供給するのである。排他的論理和回路37は、サンプル値(q)のMSB(最上位ビット)の論理値と、上記Dフリップフロップ35にて1サンプリングクロック分だけ遅延された遅延サンプル値のMSBの論理値とが不一致である場合には、論理値「1」のイネーブル信号をDフリップフロップ36及び38の各々に供給する一方、両者が同一論理値である場合には、論理値「0」のイネーブル信号をDフリップフロップ36及び38の各々に供給する。この際、サンプル値(q)がオフセットバイナリにて2進数表現されているものとする、サンプル値(q)のMSBが論理値「0」である場合には、かかるサンプル値(q)は負の値であり、一方、かかるMSBが論理値「1」である場合には、こ

のサンプル値 (q) は正の値である。つまり、サンプル値 (q) のMSBの論理値と、Dフリップフロップ35にて1サンプリングクロック分だけ遅延された遅延サンプル値のMSBの論理値とが不一致であるということは、サンプル値 (q) が正の値から負の値、または負の値から正の値へと推移している状態、いわゆるゼロクロス状態にあることを示しているのである。すなわち、排他的論理和回路37は、かかるゼロクロス状態を検出した場合に、論理値「1」のイネーブル信号をDフリップフロップ36及び38の各々に供給するというゼロクロス検出手段として動作するのである。

【0029】かかるDフリップフロップ36は、上記排他的論理和回路37から論理値「1」のイネーブル信号が供給された時にのみ、上記選択回路34から供給されたサンプル値を取り込んでこれを抽出サンプル値 (r) として出力する。一方、Dフリップフロップ38は、上記排他的論理和回路37から論理値「1」のイネーブル信号が供給された時にのみ、上記Dフリップフロップ35から供給された遅延サンプル値のMSBを取り込んでこれを傾斜信号 (s) として出力する。この際、サンプル値 (q) が正の値から負の値へと推移している場合、すなわち、サンプル値 (q) の推移変化が下降傾向にある場合には、かかる傾斜信号 (s) の信号論理値は「1」となる一方、サンプル値 (q) が負の値から正の値へと推移している場合、すなわち、サンプル値 (q) の推移変化が上昇傾向にある場合には、かかる傾斜信号 (s) の信号論理値は「0」となる。

【0030】次に、図1における極性切換回路28は、かかる傾斜信号 (s) の信号論理値が「0」である場合には、上記サンプル値抽出回路27から供給された抽出サンプル値 (r) をそのまま位相誤差信号 (t) としてクロック発生回路29に供給する一方、かかる傾斜信号 (s) の信号論理値が「1」である場合には、上記サンプル値抽出回路27から供給された抽出サンプル値 (r) の極性を反転した反転抽出サンプル値を位相誤差信号 (t) としてクロック発生回路29に供給する。

【0031】図3は、かかる極性切換回路28の内部構成の一例を示す図である。図3において、極性反転回路41は、上記サンプル値抽出回路27から供給された抽出サンプル値 (r) の極性を反転させて選択回路42に供給する。かかる極性反転回路41は、例えば、抽出サンプル値 (r) の全ビットの論理を反転させたものに「1」を加算することにより、抽出サンプル値 (r) の極性を反転させる。選択回路42は、上記サンプル値抽出回路27から供給された傾斜信号 (s) の信号論理値が「0」である場合には、上記サンプル値抽出回路27から供給された抽出サンプル値 (r) を選択してこれを位相誤差信号 (t) として出力する一方、かかる傾斜信号 (s) の信号論理値が「1」である場合には、上記極性反転回路41によって極性反転されたサンプル値を選

択してこれを位相誤差信号 (t) として出力する。

【0032】すなわち、かかる極性切換回路28は、サンプル値 (q) の推移変化が上昇傾向にある場合には、抽出サンプル値 (r) をそのまま位相誤差信号 (t) として入力禁止回路105、ゲイン切り換え回路108を介してクロック発生回路29に供給する一方、サンプル値 (q) の推移変化が下降傾向にある場合には、抽出サンプル値 (r) の極性を反転した反転抽出サンプル値を位相誤差信号 (t) として入力禁止回路105、ゲイン切り換え回路108を介してクロック発生回路29に供給するのである。

【0033】クロック発生回路29は、かかる位相誤差信号 (t) に基づいて位相補正したサンプリングクロック (v) を発生してこれを上記A/D変換器25、及びビタビ復号器26の各々に供給する。

【0034】図4は、かかるクロック発生回路29の内部構成を示す図である。図4において、D/A変換器51は、かかる位相誤差信号 (t) をアナログ電圧に変換してLPF (ローパスフィルタ) 52に供給する。LPF 52は、供給されたアナログ電圧を平均化してVCO (電圧制御発振器) 53に供給する。VCO 53は、LPF 52から供給された平均アナログ電圧に応じた発振周波数を有するサンプリングクロック (v) を出力する。

【0035】図5は、上述した如き図1～図4にて示されるデジタル信号再生装置20による動作の一例を示す図である。かかる図5において、読み取り信号 (p) は、サンプリングクロック (v) のタイミング毎にA/D変換されてサンプル値 $q_1 \sim q_2$ なる系列となる。先ず、かかるサンプル値 $q_1 \sim q_2$ なる系列においては、サンプル値 q_2 から q_3 の推移においてそのサンプル値が負の値から正の値へと変化している。この際、サンプル値 q_2 の絶対値とサンプル値 q_3 の絶対値とではサンプル値 q_2 の絶対値の方が小、すなわち、サンプル値 q_2 の方が0レベルに近いので、サンプル値抽出回路27は、このサンプル値 q_2 を抽出サンプル値 (r) として出力する。更に、かかるサンプル値 q_2 から q_3 への推移が上昇傾向にあるので、サンプル値抽出回路27は、傾斜信号 (s) の信号論理値を「0」にする。この際、極性切換回路28は、かかる傾斜信号 (s) の信号論理値が「0」であるので、上記抽出サンプル値 (r) としてのサンプル値 q_2 をそのまま位相誤差信号 (t) として、クロック発生回路29に供給する。

【0036】次に、サンプル値 q_3 から q_4 の推移においてそのサンプル値が正の値から負の値へと変化している。この際、サンプル値 q_3 の絶対値とサンプル値 q_4 の絶対値とではサンプル値 q_3 の絶対値の方が小、すなわち、サンプル値 q_3 の方が0レベルに近いので、サンプル値抽出回路27は、このサンプル値 q_3 を抽出サンプル値 (r) として出力する。更に、かかるサンプル値

q_1 から q_2 への推移が下降傾向にあるので、サンプル値抽出回路27は、傾斜信号(s)の信号論理値を「1」にする。この際、極性切換回路28は、かかる傾斜信号(s)の信号論理値が「1」であるので、上記抽出サンプル値(r)としてのサンプル値 q_1 の極性を反転したものを位相誤差信号(t)として、クロック発生回路29に供給する。

【0037】この際、クロック発生回路29は、上記サンプル値 q_2 及びサンプル値($-q_2$)に基づいて位相補正したサンプリングクロック(v)を発生するのである。次に、かかる位相誤差信号(t)によるサンプリングクロック(v)の位相補正動作を図6を参照しつつ説明する。この際、図6(a)～(c)において、上記図5にて示されるが如き上昇傾向を示す3つの連続したサンプル値 $q_1 \sim q_3$ に応じて為される位相補正動作を示す。また、図6(d)～(f)においては、上記図5にて示されるが如き下降傾向を示す3つの連続したサンプル値 $q_7 \sim q_9$ に応じて為される位相補正動作を示すものである。尚、かかる図6中の破線は、正常位相時においてクロック発生回路29が発生するサンプリングクロック(v)のタイミング位置を示すものである。また、図中の一点鎖線はサンプル値のゼロレベルを示すものである。

【0038】先ず、図6(a)においては、サンプル値 $q_1 \sim q_3$ 各々が正常なタイミングでサンプリングされている場合を示すものである。この際、サンプル値 q_2 は、かかるゼロレベルと等しくなる。よって、クロック発生回路29には、位相誤差信号(t)としてこのゼロレベルが供給されることになる。従って、この際、クロック発生回路29は現状の位相にてサンプリングクロック(v)の発生を行う。

【0039】次に、図6(b)においては、サンプル値 $q_1 \sim q_3$ 各々が正常な位置よりも早いタイミングでサンプリングされている場合を示すものである。この際、サンプル値 q_2 は、上記ゼロレベルよりも小なる負の値となる。よって、クロック発生回路29には、位相誤差信号(t)としてこのゼロレベルよりもサンプル値 q_2 の分だけ少ない負の値が供給されることになる。従って、この際、クロック発生回路29は、サンプル値 q_2 に対応した分だけ位相を遅らせたサンプリングクロック(v)の発生を行ってクロックの位相進みを補正するのである。

【0040】次に、図6(c)においては、サンプル値 $q_1 \sim q_3$ 各々が正常な位置よりも遅いタイミングでサンプリングされている場合を示すものである。この際、サンプル値 q_2 は、上記ゼロレベルよりも大なる正の値となる。よって、クロック発生回路29には、位相誤差信号(t)としてこのゼロレベルよりもサンプル値 q_2 の分だけ大なる正の値が供給されることになる。従って、この際、クロック発生回路29は、サンプル値 q_2

に対応した分だけ位相を進ませたサンプリングクロック(v)の発生を行ってクロックの位相遅れを補正するのである。

【0041】次に、図6(d)においては、サンプル値 $q_7 \sim q_9$ 各々が正常なタイミングでサンプリングされている場合を示すものである。この際、サンプル値 q_8 は、一点鎖線で示されるゼロレベルと等しくなる。ここで、サンプル値 $q_7 \sim q_9$ なる系列のレベル変化は下降傾向である。よって、クロック発生回路29には、位相誤差信号(t)として、このゼロレベルの極性反転値、すなわち同じくゼロレベルが供給されることになる。従って、この際、クロック発生回路29は現状の位相にてサンプリングクロック(v)の発生を行うのである。

【0042】次に、図6(e)においては、サンプル値 $q_7 \sim q_9$ 各々が正常な位置よりも早いタイミングでサンプリングされている場合を示すものである。この際、サンプル値 q_8 は、上記ゼロレベルよりも大なる正の値となる。ここで、サンプル値 $q_7 \sim q_9$ なる系列のレベル変化は下降傾向である。よって、クロック発生回路29には、位相誤差信号(t)として、このサンプル値 q_8 の極性を反転した信号、すなわち、上記ゼロレベルよりもサンプル値 q_8 の分だけ少ない負の値が供給されることになる。従って、この際、クロック発生回路29は、サンプル値 q_8 に応じた分だけ位相を遅らせたサンプリングクロック(v)の発生を行ってクロックの位相進みを補正するのである。

【0043】最後に、図6(f)においては、サンプル値 $q_7 \sim q_9$ 各々が正常な位置よりも遅いタイミングでサンプリングされている場合を示すものである。この際、サンプル値 q_8 は上記ゼロレベルよりも小なる負の値となる。ここで、サンプル値 $q_7 \sim q_9$ なる系列のレベル変化は下降傾向である。よって、クロック発生回路29には、位相誤差信号(t)として、このサンプル値 q_8 の極性を反転した信号、すなわち、上記ゼロレベルよりもサンプル値 q_8 の分だけ大なる正の値が供給されることになる。従って、この際、クロック発生回路29は、サンプル値 q_8 に応じた分だけ位相を進ませたサンプリングクロック(v)の発生を行ってクロックの位相遅れを補正するのである。

【0044】尚、上記極性切換回路28においては、サンプル値系列のサンプル値レベルが上昇傾向にある場合には、サンプル値抽出回路27から供給された抽出サンプル値(r)をそのまま位相誤差信号(t)として入力禁止回路105、ゲイン切り換え回路108を介してクロック発生回路29に供給する一方、かかるサンプル値系列のサンプル値レベルが下降傾向にある場合には、上記抽出サンプル値(r)の極性を反転した反転抽出サンプル値を位相誤差信号(t)としてクロック発生回路29に供給する構成としているが、この極性反転の条件は、クロック発生回路29の信号処理方法によって適宜

設定されるものである。

【0045】例えば、上記実施の形態の図2において、サンプル値抽出回路27の内部構成の一例を示したが、かかるサンプル値抽出回路27としては、図7に示されるが如き内部構成のものを採用しても良い。かかる図7において、加算器82は、A/D変換器25から供給されてくるサンプル値(q)と、Dフリップフロップ81によって1サンプリングクロック分だけ遅延された遅延サンプル値との加算を行う。かかる加算動作により加算器82は、図8に示されるが如く、隣接する2つのサンプル値(q)毎に、その平均サンプル値(u)を求め、尚、図8においては、サンプル値(q)を白丸、平均サンプル値(u)を黒丸で示している。この際、かかる平均サンプル値(u)の系列は、サンプル値(q)の系列に対して直線補間を行ったものとなる。

【0046】図1は、本発明の実施の形態の構成を示すブロック図である。図1に示すようにスピンドルモータ3で回転駆動される光ディスク2からピックアップ4で読み取られた読み取り信号は、アンプ5で増幅され、A/D変換器25でクロック発生回路29からのクロックによってサンプリングされデジタル変換される。位相誤差検出器104でデジタル信号を得て、このデジタル信号のサンプル値系列から位相誤差信号を得る。

【0047】位相誤差検出器104の出力は、入力禁止回路105の入力の1つに供給され、入力禁止回路105の他方の入力には、センターレベル出力回路106から基準レベルが入力されている。また、入力禁止回路105の制御入力には、ドロップアウト検出器107からのドロップアウト検出信号が入力されており、ドロップアウト期間中は位相誤差信号(t)に替わってセンターレベル出力回路106からの信号を出力する。そのことにより、ゲイン切り換え回路108及びクロック発生回路29へのドロップアウト期間中の位相誤差信号(t)の入力を禁止する。

【0048】次に、ゲイン切り換え回路108、メモリ109で構成されるゲイン設定手段では、媒体種検出手段であるディスク種類判別手段110、多層ディスクに対する再生層を指定する制御手段111、記録領域を判別する領域判別手段112の各々の状態に対応する最適なゲインをメモリ109に記憶させておき、それぞれの判別手段の判別結果や、制御手段111からの制御信号に従ってゲイン切り換え回路108は入力禁止回路105からの位相誤差信号に対し、適切なゲインとなるよう切り換え選択する。

【0049】ゲイン切り換え回路108で最適なゲインとなるよう処理された位相誤差信号は、クロック発生回路29に供給され、そこで最適に位相補正されたクロックを発生し、A/D変換器25に供給する。一方、A/D変換器の出力はビタビ復号器26へ入力され、ビタビ復号された2値データが出力103に出力される。

【0050】上述の如く本発明は、位相誤差信号に対して所定のゲインを選択的に与えて、最適なクロックを出力するように制御しようとするものである。図12にゲイン設定手段のブロック図を示す。図12において、記憶回路501により、多層ディスク、ディスクの種類、記録領域の各々の状態に対応する最適なゲイン $\{k_0, k_1, \dots, k_{2^m-1}\}$ を、mビットで表現し、現在の読み取り信号の状態によりシステムコントローラ505及び選択回路502にて、ゲイン $\{k_0, k_1, \dots, k_{2^m-1}\}$ から、1つのゲイン k_A を選択し、乗算器503の1つの入力とする。

【0051】乗算器503の他方の入力506には、位相誤差信号がnビットで入力され、乗算器503からnビットの乗算結果がDフリップフロップ504へ送られてラッチされる。Dフリップフロップ504の出力507にはnビットの最適ゲイン位相誤差信号が出力される。図12の501は図1のメモリ109に、図12の502～505は図1のゲイン切り換え回路108にそれぞれ対応している。

【0052】前述したように、請求項1、3に記載の再生装置では、図1のように、ディスクから読み取られた読み取り信号はA/D変換器を介し、サンプリングクロックでサンプリングされたサンプル値系列を得る。サンプル値系列から位相誤差信号を得て、ゲインを切り換える方式であれば、ゲイン切り換えによる遅延やショックは無く、正確なクロックを生成することができる。

【0053】具体的な動作は、ディスクからの読み取り信号がA/D変換器25によりサンプル値(q)に変換された後、位相誤差検出器104によって、位相誤差信号(t)が生成される。この位相誤差信号(t)は入力禁止回路105を介し、ゲイン切り換え回路108に供給される。また、ディスク種類判別手段110は再生されているディスクがCDであるかCD-Rであるかを、読み取り信号中のウォブル信号の有無に基づき判断する。ウォブル信号はCD-Rには存在するが、CDには存在しないので、ウォブル信号が検出されればCD-R、検出されなければCDと判別できる。

【0054】例えば、ウォブル信号が読み取り信号から検出されると、ディスク種類判別手段110はCD-Rであると判別し、CD-Rであることを示すディスク種類信号をゲイン切り換え回路108に供給する。ゲイン切り換え回路108はディスク種類信号に基づき、メモリ109からCD-Rに対応するゲインを読み出し、入力された位相誤差信号(t)にゲインを与える。

【0055】そして、ゲインが与えられた位相誤差であるゲイン位相誤差信号はクロック発生回路29に入力され、そのゲイン位相誤差信号に基づきクロックが生成される。なお、同様に、再生するディスクがCDである場合は、CDに対応したゲインが位相誤差信号(t)に与えられる。また、CDに比べ、CD-Rの再生波形は、

その特性から必然的に小さなものとなるため、メモリ109に記憶されているディスク毎のゲインの値は、CDに対応するゲインに比べ、CD-Rに対応するゲインは高い値に設定されている。

【0056】次に、位相誤差信号にゲインを与える動作を説明する。サンプル値系列からセンターレベルに最も近いサンプル値を抽出し、抽出データが上昇傾斜時か下降傾斜時かによってセンターレベルに対し反転または非反転し、それを位相誤差信号として得る。ゲイン設定手段にて複数のゲイン設定値から最適となるゲインを選択しこの位相誤差信号を所定のゲインに変換する。

【0057】次に例として、図9に読み取り信号に対してサンプリングクロックの位相が進んでいる場合の諸動作を示す。図9(a)に示すように、読み取り信号またはサンプル値系列に対しサンプリングクロックの位相が進むと、位相誤差検出手段にてセンターレベルに最も近いサンプル値を反転または非反転して位相誤差信号を得て、図9(b)に示すようになる。

【0058】位相誤差信号のゲインを仮に2倍から1倍に切り換えるとゲイン切り換え後の最適ゲイン位相誤差信号は図9cに示すようになる。このようにして得た最適ゲイン位相誤差信号により、位相補正されたサンプリングクロックは位相を遅らせ読み取り信号と位相同期する。

【0059】次に、ディスクの傷や、フィンガープリント等により、ドロップアウトが生じた時には、読み取り信号は正常な信号とは異なる信号となる。この異常なアナログ信号をサンプリングしたサンプル値系列も同様に異常なものとなる。連続制御系において、ドロップアウト時の位相誤差信号を除外しようとしても、スイッチングノイズ等で正確に除外することができない。これは正確にクロックが得られないことを意味する。

【0060】請求項2に記載の発明による実施の形態では、図11に内部ブロック図を图示した入力禁止回路105を用いて、離散制御系では、容易に且つ正確にドロップアウト時の異常サンプル値系列を除外することができる。図11において、選択手段401はその制御入力である401cに入力されるドロップアウト検出信号によって、入力Aの位相誤差信号入力か、入力Bのセンターレベル値かを選択する。ドロップアウト発生時は、入力Bのセンターレベル値を選択し、そうでない場合は、入力Aの位相誤差信号入力を選択する。Dフリップフロップ402は、データラッチ用であり、ラッチされた信号が位相誤差信号出力となる。また、図1では、ドロップアウトを検出するドロップアウト検出手段であるドロップアウト検出器107でドロップアウトを検出する。検出の方法としては、図13に示すように、RF信号のゼロクロスを検出し、所定期間 t_0 の間ゼロクロスが得られないときはドロップアウトが発生したと判断して、期間 t_1 の間ドロップアウト検出信号を出力する方法等

がある。ドロップアウト検出器107からのドロップアウト検出信号は、入力禁止回路105の制御入力に輸入されており、ドロップアウト期間中は位相誤差信号に替わってセンターレベル出力回路106からの信号を出力し、異常サンプル値系列の影響を受けないようにしている。

【0061】次に、多層ディスクの場合は、ディスクの層に応じて、ゲインを切り換えるように構成する。例えば、2層ディスクにおいて、ピックアップに近い側の1層目は、遠い側の2層目の全反射膜に対して半透過性の膜で構成され、通常2層目の情報読み取り信号の方が1層目の情報読み取り信号よりも信号レベルが大きくなる。従って、2層目の読み取り時に比べ、1層目の読み取り時のゲインを高く設定する必要が生じる。請求項4に記載の発明による実施の形態では、多層ディスクに対する再生層を指定する制御手段111から再生する層を示す制御信号がゲイン切り換え回路108に出力される。ゲイン切り換え回路108は制御信号が示す、1層目または2層目との情報に基づき、メモリ109から予め層毎に設定されている適切なゲインを読み出し、入力禁止回路105からの位相誤差信号に対し、ゲインを切り換え設定する。

【0062】具体的な動作は、ディスクからの読み取り信号がA/D変換器25によりサンプル値(q)に変換された後、位相誤差検出器104によって、位相誤差信号(t)が生成される。この位相誤差信号(t)は入力禁止回路105を介し、ゲイン切り換え回路108に供給される。また、制御手段111は再生する再生層が1層目であるか、2層目であることを示す制御信号をゲイン切り換え回路108に供給する。例えば、再生する層が2層目である場合、2層目であることを示す制御信号がゲイン切り換え回路108に出力され、この制御信号に基づき、メモリ109から2層目に対応するゲインを読み出し、入力された位相誤差信号(t)にゲインを与える。

【0063】そして、ゲインが与えられた位相誤差であるゲイン位相誤差信号はクロック発生回路29に入力され、そのゲイン位相誤差信号に基づきクロックが生成される。なお、同様に、再生する層が1層目である場合は、1層目に対応したゲインが位相誤差信号(t)に与えられる。また、前述したように2層目の読み取り信号レベルより、1層目の読み取り信号レベルが低い場合、メモリ109に記憶している層毎のゲインの値は、2層目に対応するゲインよりも1層目に対応するゲインは高い値に設定されている。

【0064】次に、前述したように、ディスクを領域に分け、情報領域とサーボ領域が繰り返し存在するように構成するディスクがある(図15参照)。例えば、書き換え可能ディスクでは、予め、サーボ領域を設定することでトラッキングサーボ及びPLLサーボを行い、情報

領域にデジタルデータを記録または再生を行う。このような、ディスクではサーボ領域には所定のビットが刻んであり、その領域でクロックの引き込みを正確に行い、情報領域では情報の読み取りを行うようになっている。情報領域ではノイズやドロップアウトに対し、PLLが敏感に反応して揺動してしまうことを避ける必要があり、サーボ領域ではクロックが揺動される場合等でも正確なクロック同期を得るために、PLLを速く引き込み位相を速く合わせる必要がある。

【0065】そのため、サーボ領域ではゲインを高くし、PLLの応答を速くする。情報領域ではゲインを低めに設定し、応答を遅くなるようにする。領域毎のゲインは記憶手段に記憶しておき、再生する領域に応じてゲインを切り換えるように構成する。領域の判別方法は、領域は予め決められた位置に設定されているので、カウンタを用い、タイミングをはかることにより領域を判別できる。請求項5に記載の発明による実施の形態では、記録領域を判別する領域判別手段112の各々の状態に対応する最適なゲインをメモリ109に記憶させておき、領域判別手段112の判別結果に従ってゲイン切り換え回路108は入力禁止回路105からの位相誤差信号に対し、適切なゲインとなるよう切り換え選択する。

【0066】具体的な動作は、ディスクからの読み取り信号がA/D変換器25によりサンプル値(q)に変換された後、位相誤差検出器104によって、位相誤差信号(t)が生成される。この位相誤差信号(t)は入力禁止回路105を介し、ゲイン切り換え回路108に供給される。また、領域判別手段112は内部に有するカウンタを用いて、タイミングをはかることによりサーボ領域と情報領域を判別する。各々の領域はディスクの予め決められた位置に設定されているため上記手法により領域の判別が可能である。

【0067】そして、領域判別手段112は判別した結果に基づき領域判別信号をゲイン切り換え回路108に出力する。例えば、サーボ領域を再生している場合、サーボ領域を示す領域判別信号がゲイン切り換え回路108に供給される。ゲイン切り換え回路108は領域判別信号に基づき、メモリ109からサーボ領域に対応するゲインを読み出し、入力された位相誤差信号(t)にゲインを与える。そして、ゲインが与えられた位相誤差信号であるゲイン位相誤差信号はクロック発生回路29に輸入され、そのゲイン位相誤差信号に基づきクロックが生成される。なお、同様に、情報領域を再生している場合は情報領域に対応したゲインが位相誤差信号(t)に与えられる。また、情報領域に比べ、サーボ領域ではPLLの応答を速くするために、メモリ109に記憶されているサーボ領域に対応するゲインの値は、情報領域に対応するゲインに比べ、高い値に設定される。

【0068】一方、連続制御系によるゲイン切り換えでは図16に示すR1、R2、R3、R4等の素子各々に

誤差が含まれるため、所望のゲインが得られないが、離散制御系でゲインを設定すると、厳密にゲインを設定することができる。また、図10に示すようにクロック発生手段の一例として、D/A変換器301、LPF302、VCO303を用いた構成の場合、VCO303の入力電圧に対しLPF302でのゲイン切り換えよりも、ワイドレンジで扱うことができる。

【0069】本発明では、上述した以外の回路構成として種々の形態が可能である。例えば、図10に示したクロック発生手段において、D/A変換器301の替わりに、PWM回路を用いて位相誤差信号に応じたパルス幅を有するパルスを生成し、LPF302でパルスの平均電圧を得ても良い。

【0070】また、LPFを非反転積分回路で構成した場合の位相誤差検出方法は先述した方法でも良いが、LPFを反転積分回路で構成した場合は、サンプリング値から抽出された抽出データに対し、上昇傾斜時、下降傾斜時における抽出データは反転、非反転により位相誤差信号を得ることで回路構成を行うことができる。

【0071】また、LPFを離散制御系で構成しても良いし、離散制御系、連続制御系双方を併用しても良い。また、ドロップアウト時の除去法も、ドロップアウト直前の値を記憶しておき、その記憶値と切り換えても良い。また、上述した実施の形態では、位相誤差信号にCD、CD-Rに応じたゲインを与える例を示したが、本発明はこれらのディスクに限らず、DVD(Digital Video Disk)などその他のディスクにも用いることができる。また、1層目、2層目の再生層に応じたゲインを与える例を示したが、3層以上の記録層を有するディスクにも本発明は適用できる。さらに、サーボ領域、情報領域の2つの領域に応じたゲインを与える例を示したが、本発明は3領域以上に分かれているディスクにも適用できる。

【0072】

【発明の効果】以上説明したように、本発明による再生装置によれば、ディスクから読み取られた再生読み取り信号をデジタル変換し、このデジタル信号のサンプル値系列から位相誤差信号を得て、ゲインを切り換えるようにしたので、ゲイン切り換えによる遅延や切り換えのためのショックは無く、正確なクロックを生成することができる。また、離散制御系でゲインを設定するため、連続制御系の場合に比べ厳密にゲインを設定することができる。

【0073】また、クロック発生手段として、D/A変換器、LPF、VCOを用いた場合、VCO入力電圧に対しLPFでのゲイン切り換えよりも、ワイドレンジで扱うことができる。また、ディスクの種類、各記録層、各記録領域に対して、ゲイン設定手段に記憶しておくことにより、それを切り換えることで直ちに最適ゲインに設定することができる。また、離散制御系で処理するた

め、ドロップアウト発生時に、容易に且つ正確にドロップアウト時の異常サンプル値系列を除外することができ
る。